

基于RISC-V的MCU软硬件解决方案

芯来科技COO 徐来

芯来科技

- 成立于2018年6月，中国大陆**第一家**专业RISC-V IP平台和解决方案公司
- 本土RISC-V技术和生态的**引领者**
- 已全自主研发RISC-V **全系列**IP 产品线
- 唯一一家实现**多款量产**导入的本土IP公司
- 联合兆易创新推出**全球首款**基于RISC-V的**通用MCU**

信息请访问: www.nucleisys.com

请扫码关注我们:



官方公众号



硅农亚历山大



我们是一支专业高效的团队



胡振波
创始人&CEO

- ✓ 芯来科技创始人和开源处理器蜂鸟E203作者
- ✓ 全球第一和第二本RISC-V中文书籍《手把手教你设计CPU-RISC-V处理器》以及《RISC-V架构与嵌入式开发快速入门》作者
- ✓ 业界8年CPU以及超过10年ASIC研发经验历任，Synopsys ARC系列处理器内核研发经理，Marvell CPU高级设计工程师。
- ✓ 上海交通大学微电子学院硕士，电子工程学士



徐来
联合创始人&COO

- ✓ 超过10年技术研发管理和公司运营经验
- ✓ 华为智能网平台系统工程师，平台可靠性和可服务性技术领导。腾讯在线支付部研发项目经理，多家创业公司产品运营负责人。
- ✓ 美国Portland State University计算机科学专业硕士，留学期间和Intel合作研究下一代SoC固件验证方法并带领团队做原型开发，以及在美国PNNL国家实验室做网络安全方面的研究。



彭剑英博士
处理器VP

- ✓ 原Synopsys ARC处理器业务中国区负责人，主管中国区ARC处理器IP研发、管理和市场等业务。
- ✓ 毕业于浙江大学，博士，拥有超过10年处理器领域专业从业经验。



李珏博士
市场战略总监

- ✓ 曾任职于中国信息通信研究院，负责集成电路业的政府政策支撑以及技术标准化工作，参与国家战略关键芯片的规划构建工作；主持完成国家集成电路产业战略规划，高端通用芯片发展路线规划，对CPU及人工智能技术有深刻的研究。
- ✓ 毕业于北京交通大学，博士，10年的集成电路设计业研发及战略规划经验。

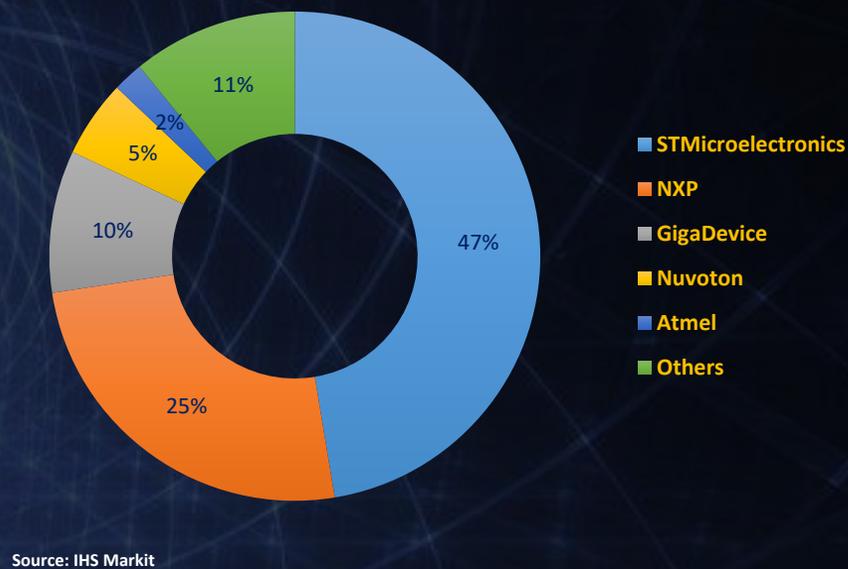
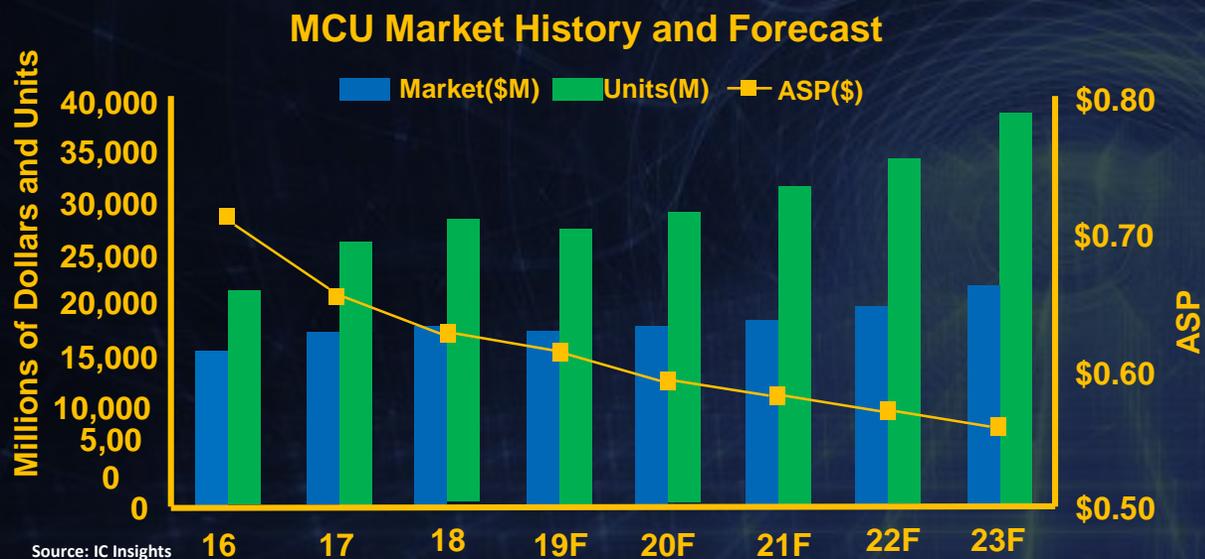


核心研发团队

- ✓ 公司团队80%由研发人员构成，上海和武汉两地均有研发团队。
- ✓ 具有创业公司的灵活和执行力强，大公司的质量要求。
- ✓ 核心研发人员来自新思科技，展讯，豪威，汇顶科技等知名企业，均具有丰富的处理器设计，验证以及基于处理器的嵌入式开发经验
- ✓ 目前研发团队正在持续招聘中，预计2019年底会到约50人规模。

MCU市场机会

根据IC Insights预测MCU市场2023年出货量有望达到**382亿片**。对国产MCU的需求持续增强背景下，给国内MCU公司带来了巨大机会。



MCU的发展趋势

32位

AIoT应用促使
32位成为主流



满足丰富和碎片
化场景需求



安全可靠



成本敏感



智能化



能效比

指令集架构是通向未来之路的关键

为满足各类场景的碎片化市场，特性差异化，高能效比和安全等特性，需要进行基于领域特定架构（DSA, Domain Specific Architecture）的软硬件协同开发，指令集架构作为软硬件的接口其开放性和灵活性成了成功的关键，而传统的ARM和x86由于其封闭性阻碍了时代的发展。

指令集架构是软硬件接口是处理器的灵魂

处理器是一切智能系统的控制核心

主流指令集架构的封闭阻碍时代发展



RISC-V 开放指令集架构的优点

RISC-V架构具备**开放性**，**先进性**，**简洁性**，**模块化**，**扩展性**五大特点，完美契合特定领域的架构(DSA)设计对开放性和灵活性的要求。



开放性

指令集架构首次成为国际标准，任何人、组织、公司均可自由用于商业或非商业用途



先进性

架构设计上总结了历史上诸多处理器架构取其精华



简洁性

32或64位基础指令不超过60条，加上扩展指令只有一百多条



模块化

可根据不同需求配置不同的产品使产品更具差异化特色



扩展性

用户可根据产品特性扩展自定义指令增加产品差异化和竞争力

RISC-V生态成长迅速



- 基金会自2015年成立不到**5年时**间已经有超过**350**家分布于**28**个国家的会员单位，包括西数，三星，Microchip, NXP, Google等国际大厂
- **华为，平头哥**等国内大厂全面拥抱RISC-V

芯来科技RISC-V处理器IP可满足通用和领域MCU需求

N级别

32位架构
MCU, 边缘计算, AIoT, 安全

NX级别

64位架构
存储, AR/VR, AI

UX级别

64位架构
Linux, 数据中心, 网络设备, 基带

可选特性

系列	N级别	NX级别	UX级别
900系列 9 Stages Dual-issue	N900 对标 ARM Cortex M7 ARM Cortex R4 ARM Cortex R5 ARM Cortex R7	NX900 NX900多核 对标 ARM Cortex M7 ARM Cortex R5 ARM Cortex R7 ARM Cortex R8	UX900 UX900多核 对标 ARM Cortex A9 ARM Cortex A53
600系列 6 Stages Single-issue	N600 对标 ARM Cortex M7 ARM Cortex R4 ARM Cortex R5	NX600 NX600多核 对标 ARM Cortex M7 ARM Cortex R4 ARM Cortex R5	UX600 UX600多核 对标 ARM Cortex A5 ARM Cortex A7
300系列 3 Stages Single-issue	N300 对标 ARM Cortex M33 ARM Cortex M4 ARM Cortex M4F		
200系列 2 Stages Single-issue	N200 对标 ARM Cortex M0 ARM Cortex M0+ ARM Cortex M3 ARM Cortex M23		
100系列 2 Stages Single-issue	N100 对标 8位/16位内核 ARM Cortex M0 ARM Cortex M0+		

安全

可靠

扩展

DSP

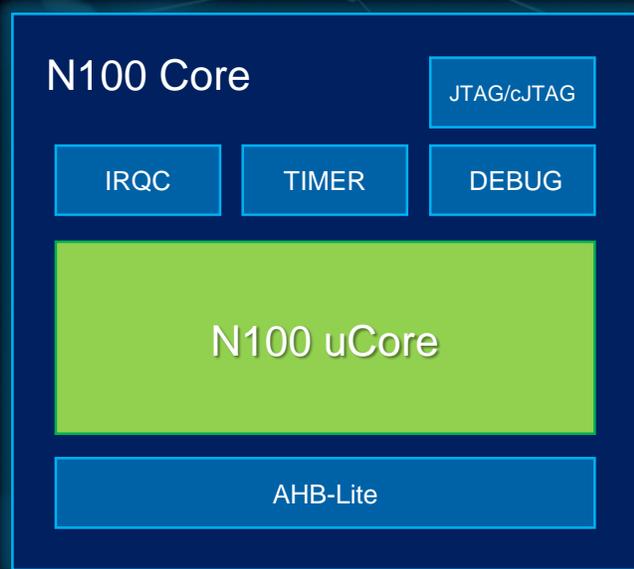
浮点

矢量

NN

N100: 极低功耗RISC-V处理器

N100系列处理器内核是由芯来科技开发的一款商用RISC-V处理器内核系列，主要面向极低功耗与极小面积的场景而设计，非常适合传统的8位内核或16位内核升级需求，可广泛应用于模混合、IoT或其他超低功耗场景。



9K

门数可<9K



RV32EC
指令集



两级变长
流水设计



机器模式



18位寻
址位宽



AHB-Lite
32位总线



RISC-V调
试标准



标准JTAG和
两线调试接口



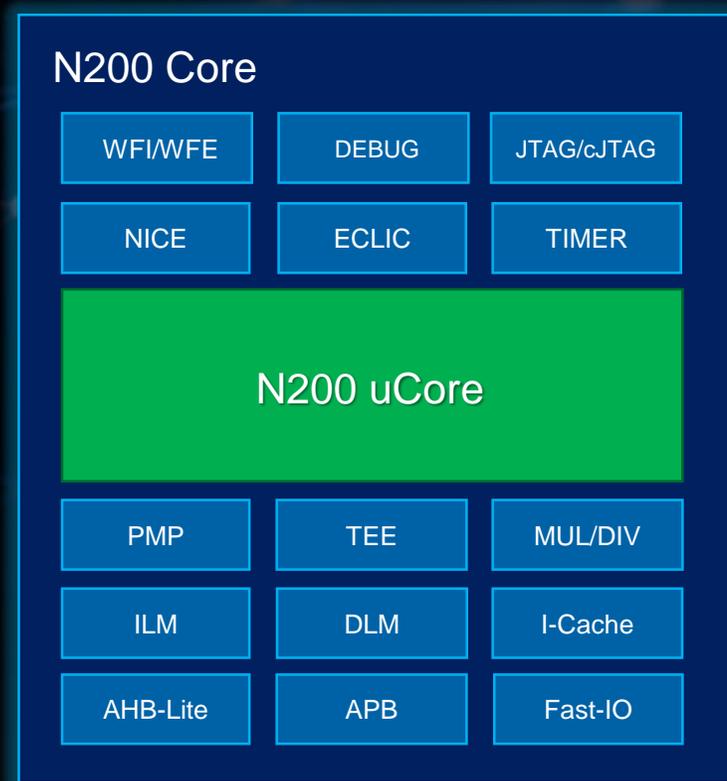
高实时性中
断机制



成熟的开发
调试环境

N200系列超低功耗RISC-V处理器

N200系列32位超低功耗RISC-V处理器为物联网IoT终端设备的**感知**，**连接**，**控制**以及**轻量级智能应用**而设计。



面向超
功耗场景



RV32I/E/M/
A/C



两级变长
流水设计



机器模式
用户模式
监督模式



支持PMP和TEE等
多种安全机制



AHB-Lite和APB
32位总线



RISC-V调
试标准



标准JTAG和两
线调试接口

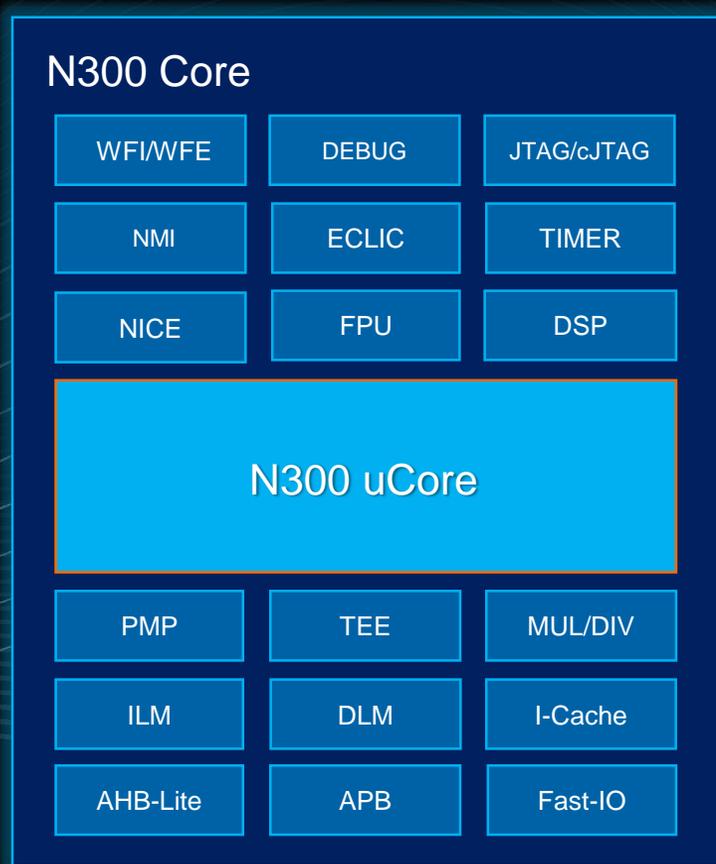


高实时性中
断机制



成熟的开发
调试环境

N300系列低功耗处理器



N300系列32位超低功耗RISC-V处理器面向机制能效比且需要DSP，FPU特性的场景而设计，非常适合对标ARM Cortex-M4/M4F/M33内核，应用于IoT和工业控制等场景。



追求极致能效比



RV32I/E/M/
A/C/F/D/P



三级变长流水设计



支持指令缓存
I-Cache



PMP和TEE等
多种安全机制



单双精度浮点
和DSP单元



NICE指令
扩展机制



AHB-Lite和APB
32位总线
Fast-IO, ILM, DLM
32位接口



RISC-V调
试标准



标准JTAG和两
线调试接口

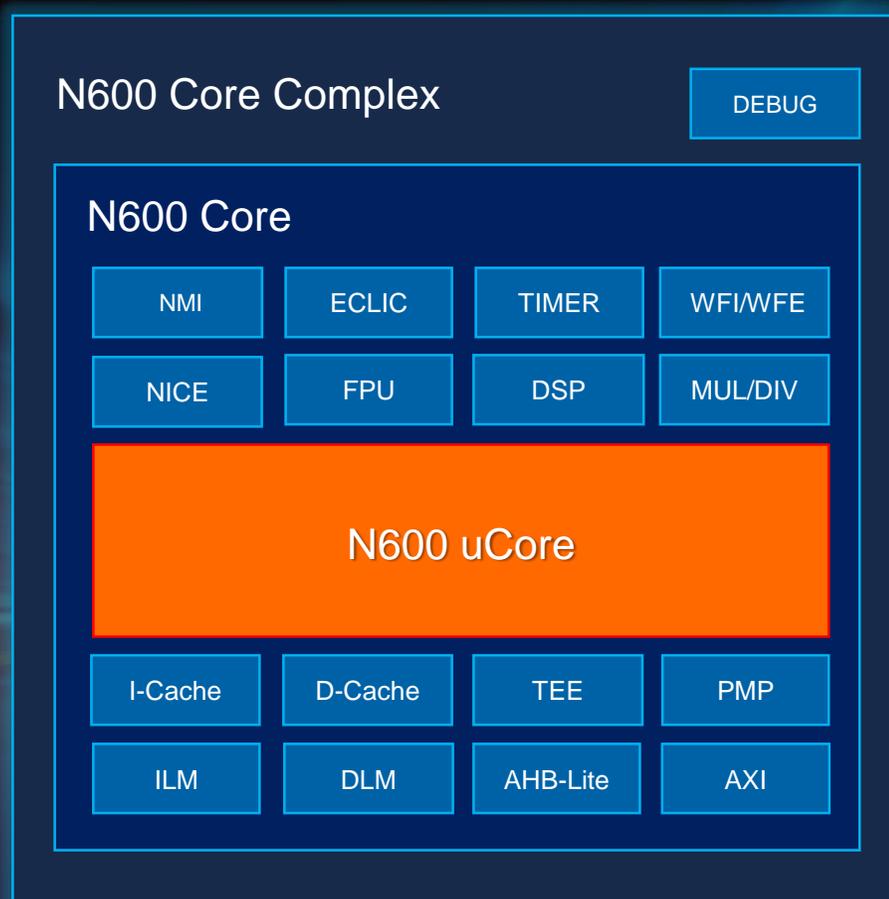


高实时性中
断机制



成熟的开发
调试环境

N600系列高性能处理器



N600系列32位RISC-V处理器面向实时控制或高性能嵌入式应用场景，非常适合对标ARM Cortex-M7, R4, R5, R7等内核，应用于AIoT边缘计算，存储或其他实时控制应用。



高性能
高实时性



RISC-V
RV32I/M/A/
C/F/D/P



六级变长
流水设计



支持指令缓存
和数据缓存



PMP和TEE等
多种安全机制



单双精度浮
点和DSP单元



NICE指令
扩展机制



32位AXI总线和
ILM, DLM 接口



RISC-V调
试标准



标准JTAG和
两线调试接口



高实时性中
断机制



成熟的开发
调试环境



双核锁步
(Lock-Step)



ECC或Parity
保护

NX600系列64位高性能处理器



NX600系列64位RISC-V处理器面向实时控制或高性能嵌入式应用场景，非常适合对标ARM Cortex-M7, R4, R5, R7等内核，应用于AIoT边缘计算，存储或其他实时控制应用。



高性能
高实时性



RISC-V
RV64I/M/A/
C/F/D/P



六级变长
流水设计



支持指令缓存
和数据缓存



PMP和TEE等
多种安全机制



单双精度浮
点和DSP单元



NICE指令
扩展机制



64位AXI总线
和ILM, DLM 接口



RISC-V调
试标准



标准JTAG和
两线调试接口



高实时性中
断机制



成熟的开发
调试环境



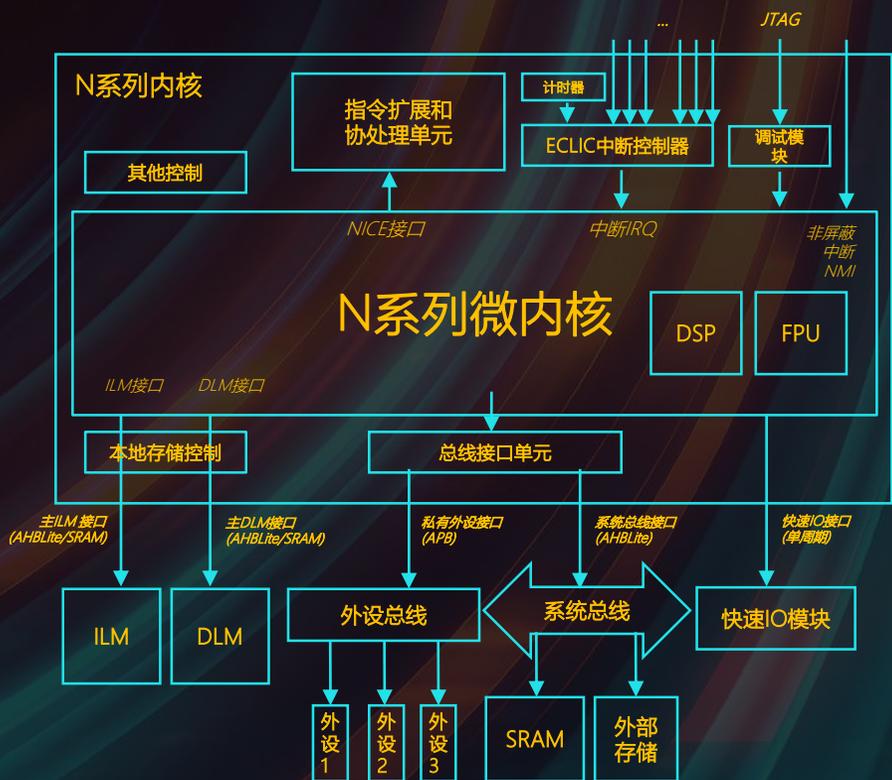
双核锁步
(Lock-Step)



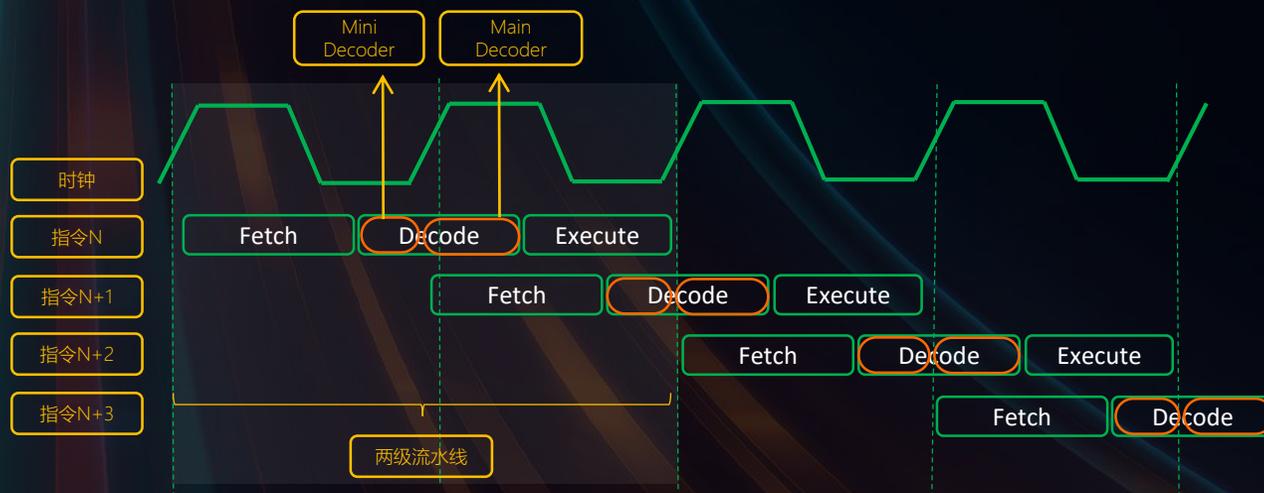
ECC或Parity
保护

追求最高能效比的微架构设计

芯来RISC-V处理器微架构以追求极致的能效比为目标，把低功耗设计思想贯穿整个处理器设计。



- 最小逻辑门数为9K
- 等多种低功耗设计
- 两级动态流水设计
- 和ARM相同频率下性能提升15%
- 动态电流降低50%
- 静态电流降低25%



高性能：高效的取指译码单元

芯来RISC-V处理器具备简洁高效的取值译码单元设计，提升程序执行的性能

- 得益于RISC-V规整的指令编码，取指单元可以设计得非常简洁高效
- 针对16位压缩指令，可一次性取出2条指令
- 通过静态分支预测或简单动态分支预测实现连续取指令
- 在预测失败的情况下最多只有一条指令被冲刷



高性能：FPU和DSP



- **支持SIMD DSP指令**

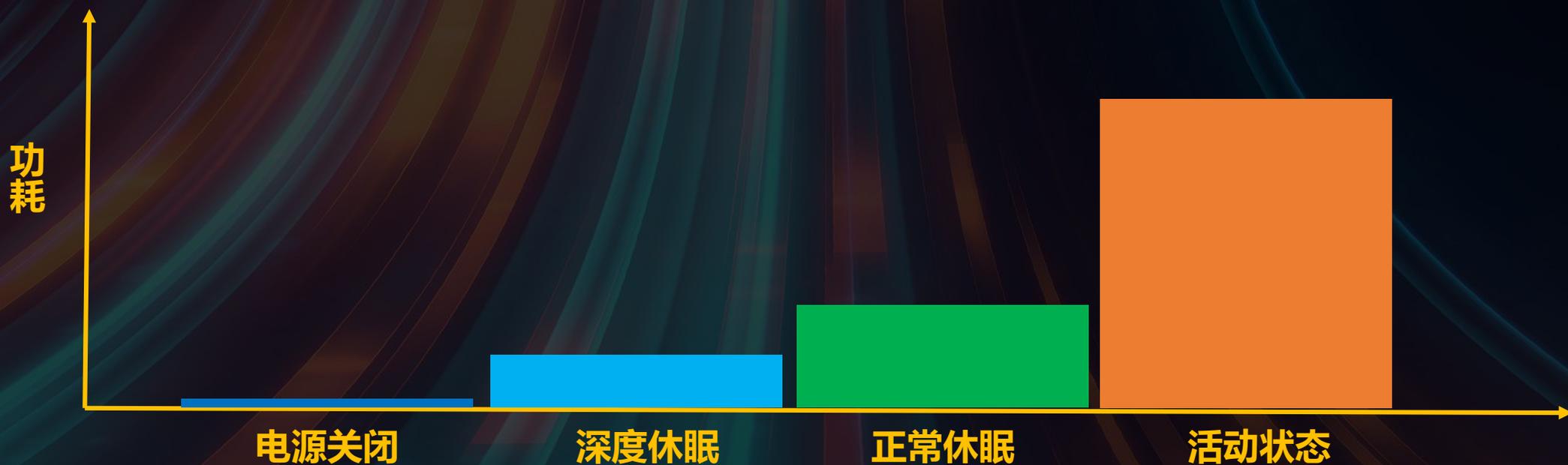
- RISC-V基金会的DSP标准指令集草案
- 支持8/16-bit SIMD操作
- 完美对标Cortex-M4的SIMD DSP特性

- **支持RISC-V F单精度和RISC-V D双精度浮点扩展指令集**

- 标准RISC-V编译器工具链的完整支持
- 完美对标Cortex-M4F的**单精度浮点**特性
- 同时具备超低功耗版本**双精度浮点**处理能力

低功耗：多级休眠模式

为降低功耗，架构定义了多种休眠模式，不同休眠模式可以由SoC系统层面的PMU（Power Management Unit）通过WFI和WFE机制进行控制。



实时性：ECLIC中断和NMI机制

- 支持基于优先级的中断嵌套

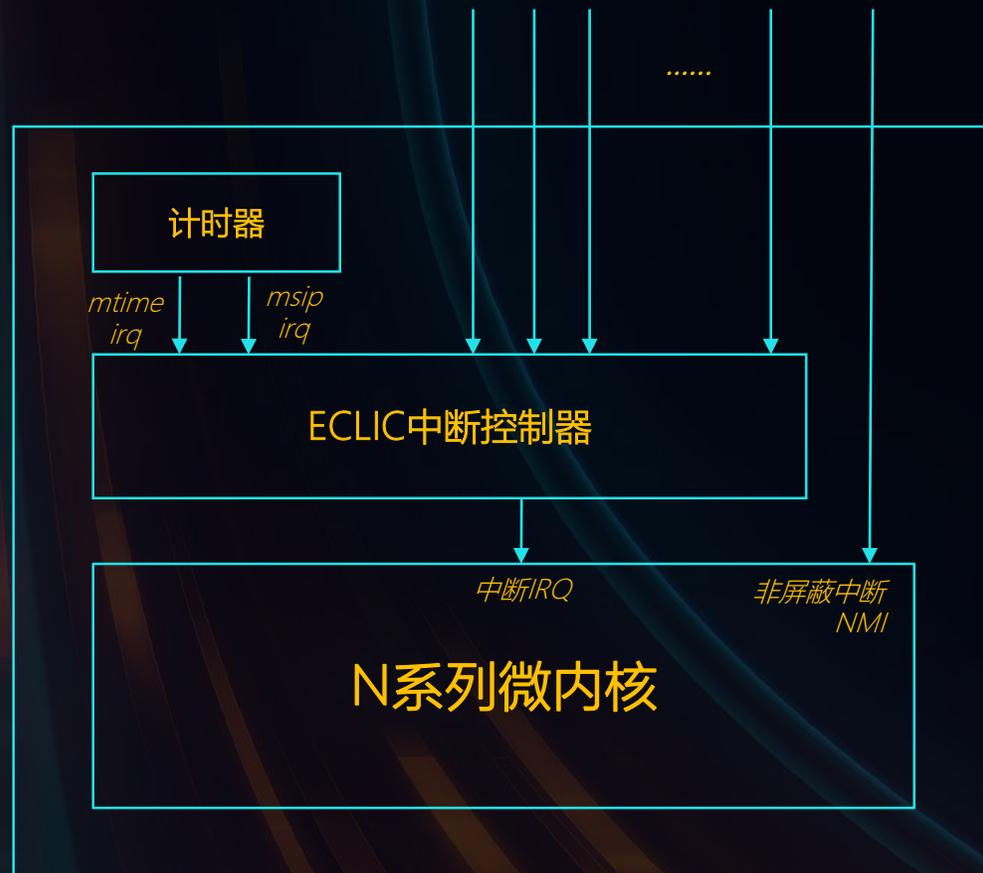
- 可配置多达1024个中断
- 支持全局屏蔽和单独屏蔽
- 每个中断可独立设置优先级
- 嵌套处理高级别的中断请求

- 可配置向量和非向量处理模式

- 向量处理模式快速响应中断请求
- 非向量处理模式共享中断入口地址

- 非屏蔽中断NMI(Non-Maskable Interrupt)

- 优先级高于所有其他中断，用于处理系统层面的紧急错误（譬如外部的硬件故障等）

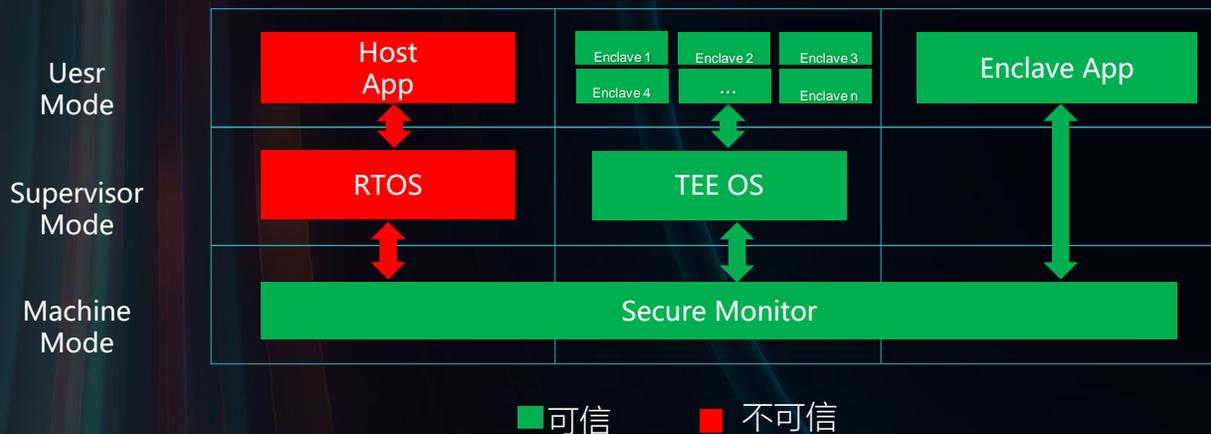


安全性：PMP, TEE和防止旁路攻击

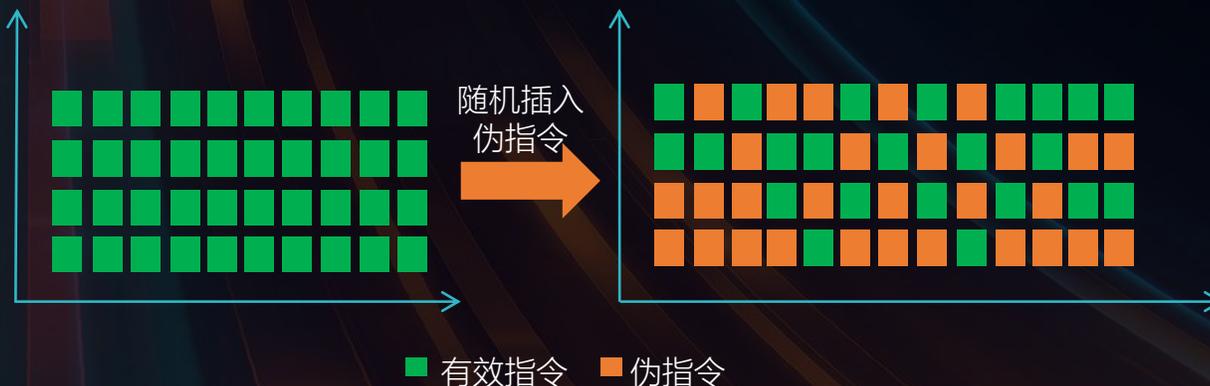
芯来科技为MCU提供完整的安全方案

- 物理内存保护 (PMP, Physical Memory Protection)
- 蓬莱Enclave可信执行环境 (TEE, Trusted Execution Environment)
- 旁路攻击防护机制
- 通过ECC冗余的防篡改机制
- 通过NICE扩展机制支持AES, DES, 3DES, RSA, SM2/3/4等算法
- 针对金融, 电力等行业需求提供定制服务

TEE安全架构保证应用数据安全

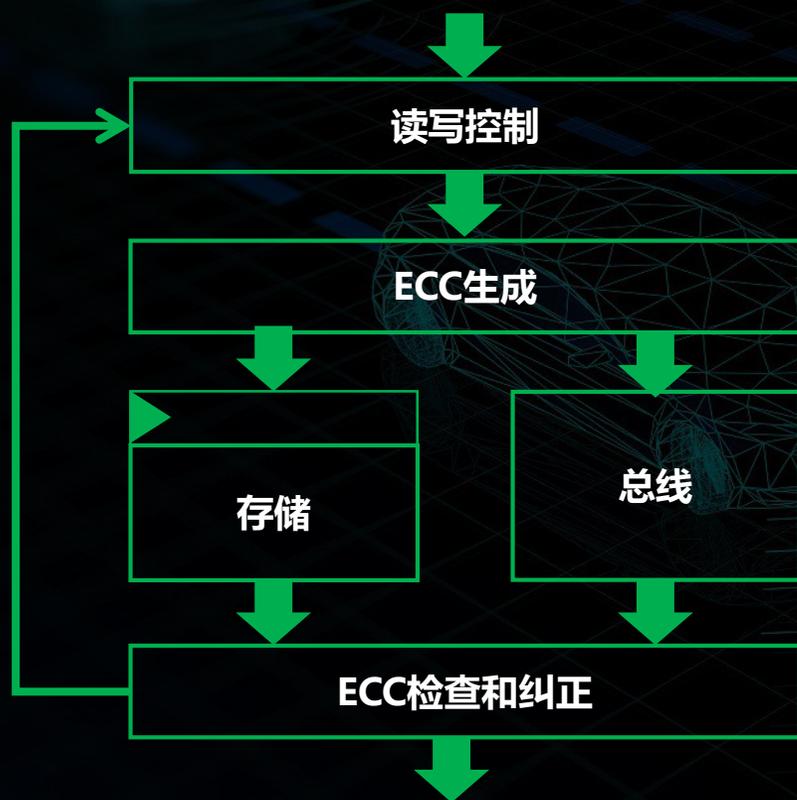


防止基于功耗和电磁分析的旁路攻击

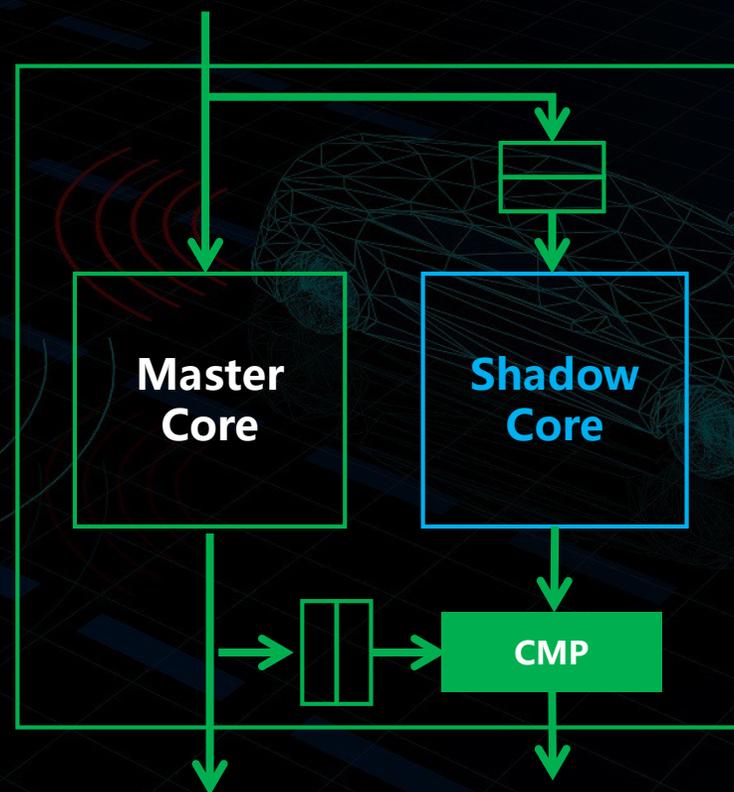


可靠性: ECC冗余和双核锁步

通过ECC检测和纠正数据错误



通过双核锁步保证逻辑可靠性



可扩展性：通过指令扩展成为领域处理器

借助芯来NICE(Nuclei Instruction Co-Unit Extension)扩展方案通过四个步骤且无需修改编译器便可以获得领域处理器和领域SDK，助力客户快速开发出面向领域架构具备差异化的产品。

1. 扩展自定义指令集



- 根据领域应用分析需要硬件加速的算法和对应指令
- 在RISC-V指令集预留的扩展指令空间中分配所需要指令

2. 实现领域加速单元



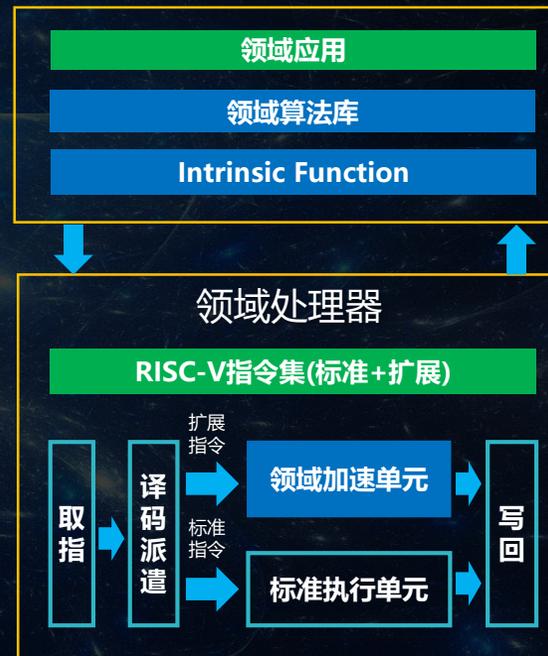
- 基于处理器微内核预留了NICE接口实现针对特定领域的加速单元
- 通过和微内核结合形成面向领域的处理器
- 领域加速单元可以和处理器微内核共享存储等资源，面积，功耗和性能优于一般总线外挂协处理器方式

3. 实现面向领域函数和库

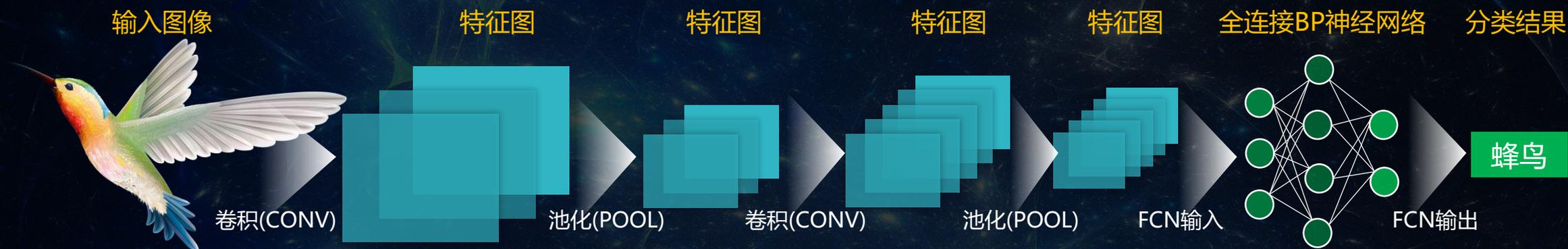


- 由于RISC-V工具链能自动识别扩展汇编指令，因此扩展指令不需要修改编译器
- 软件在使用自定义扩展指令时以Intrinsic Function的形式对扩展的汇编指令进行封装，然后以库的形式提供给应用，应用程序调用库函数。

4. 面向领域应用开发



可扩展性：一个面向AI视觉领域的简单例子



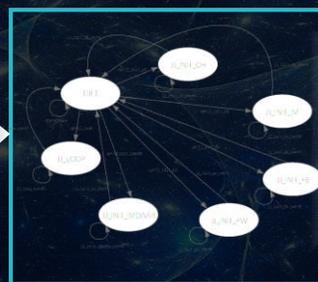
算法性能优化



任务分析

- 提升卷积计算性能
- 频繁访存是瓶颈
- 通过流水线方式让乘加和访存并行

设计扩展指令



设计领域加速单元



Intrinsic Function 和库实现

```
inline int jj_loop ()
{
    asm volatile (".insn
r 0xb, 4, 8, x0, x0,
x0");
}
```

应用结果

23x

- 不带领域加速单元需执行103141周期
- 带领域加速单元执行4470周期, 算法性能提升23倍

便于集成：丰富的存储器和总线接口配置，便于SoC集成

芯来RISC-V处理器完全由Verilog通过稳健成熟的方法写成并经过充分验证，通过参数提供不同特性的现场配置，便于客户集成到项目中。



ILM
DLM



iCache



SRAM
Ext MEM



APB
AHB-Lite
AXI

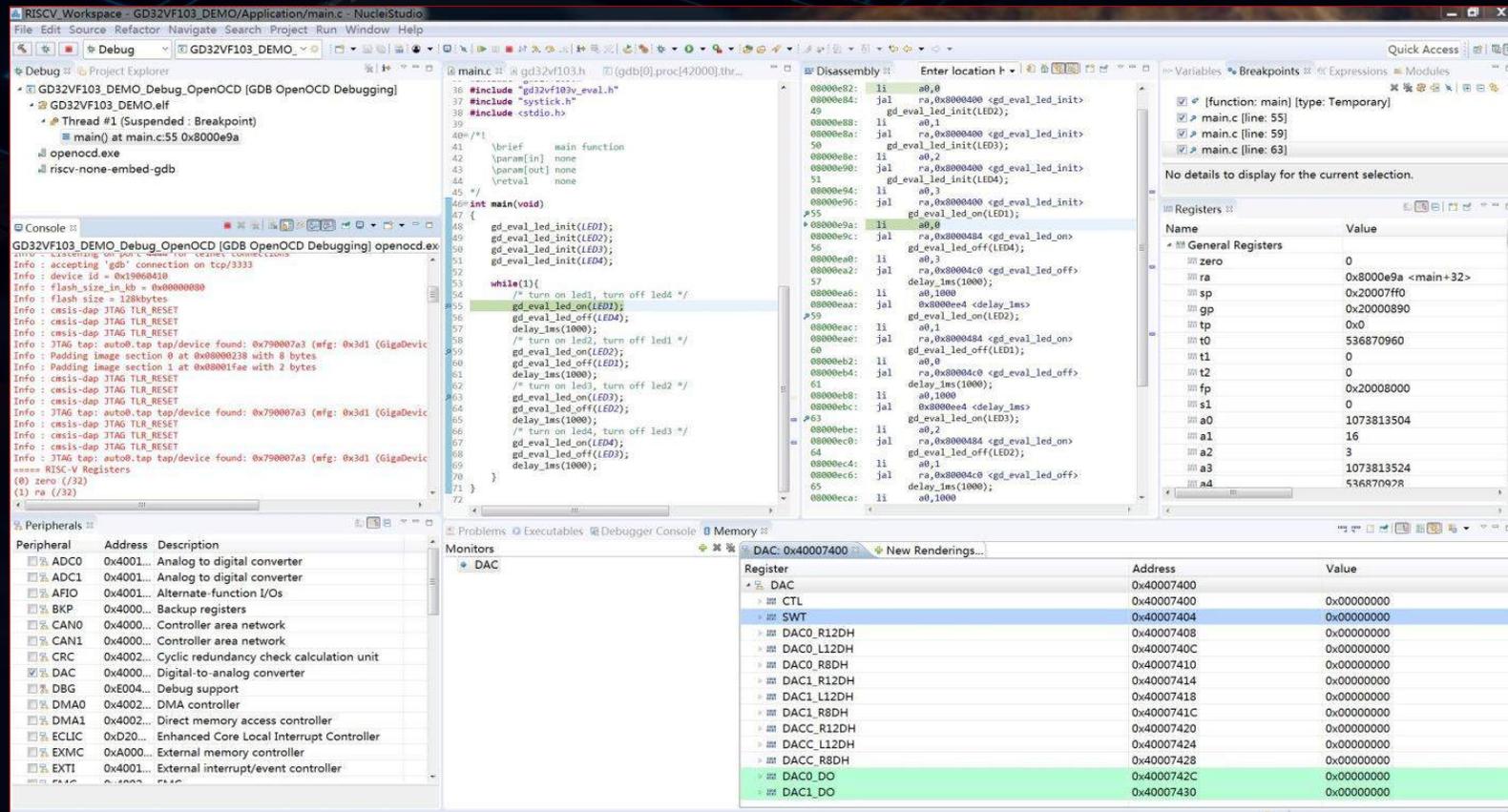


Fast-IO

芯来Nuclei Studio开源集成开发环境

Nuclei Studio

- 基于Eclipse
- 集成GCC和OpenOCD
- 功能完善
- 自由免费
- 绿色免安装
- 一键项目模板
- 代码编写
- 在线调试
- 程序烧写
- 集成串口显示
- 实时显示寄存器



完善的第三方商业工具链支持



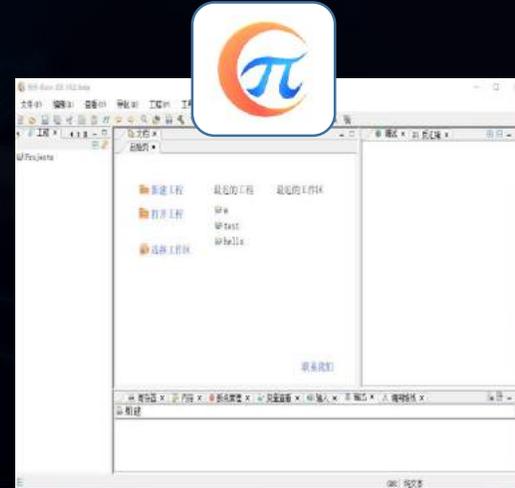
SEGGER



劳特巴赫



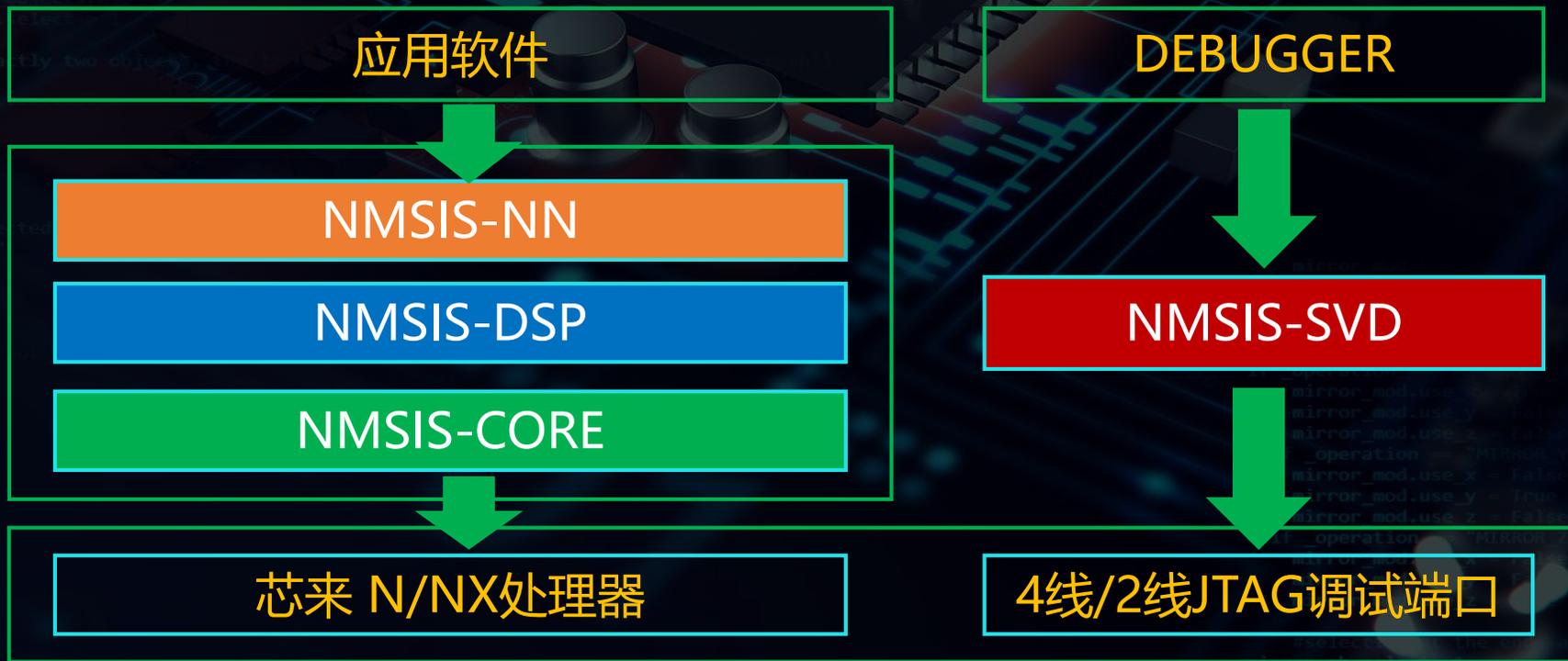
IAR



卡姆派乐

芯来嵌入式软件接口标准(NMSIS)

NMSIS (Nuclei MCU Software Interface Standard) 为芯来RISC-V处理器提供了一套封装了处理器底层操作, DSP算法库以及神经网络算法库等的软件框架。该接口标准可以有效降低开发者的学习曲线, 并提升了产品推向市场的速度



支持多种主流嵌入式操作系统和云连接



HUAWEI LiteOS

华为LiteOS
华为云连接



TencentOS
Tiny

腾讯TencentOS
腾讯云连接



小而美的物联网操作系统

睿赛德RT-Thread

μ C/OSTM
RTOS and Stacks

μ C/OS II



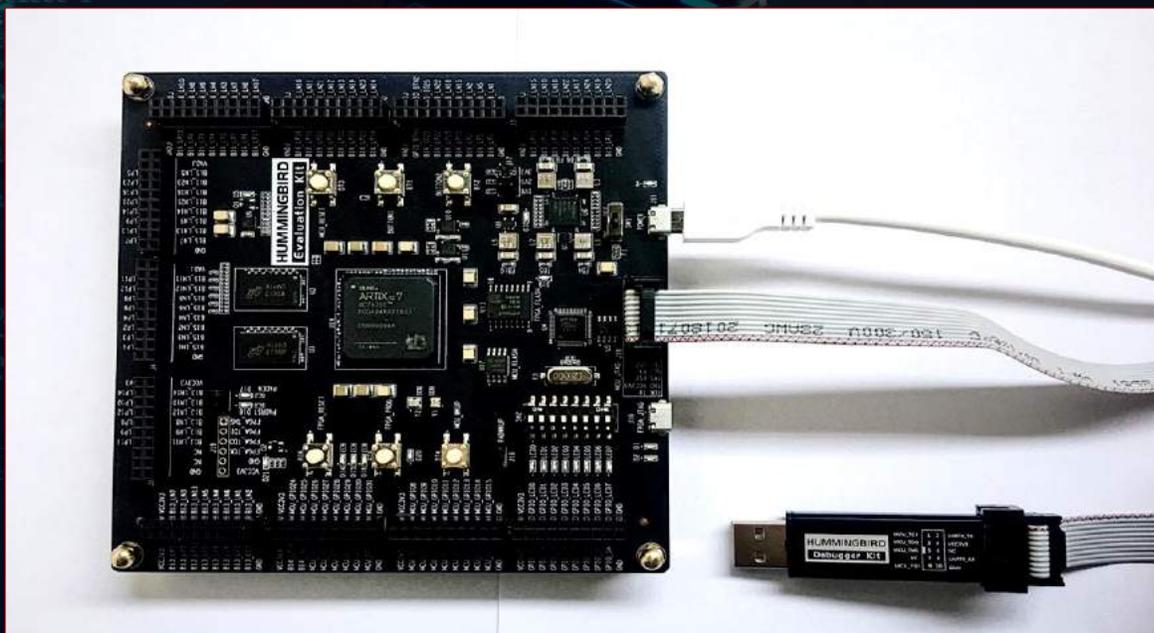
FreeRTOS

持续增加
敬请期待...

更多的主流RTOS支持
和云连接方案正在合作中

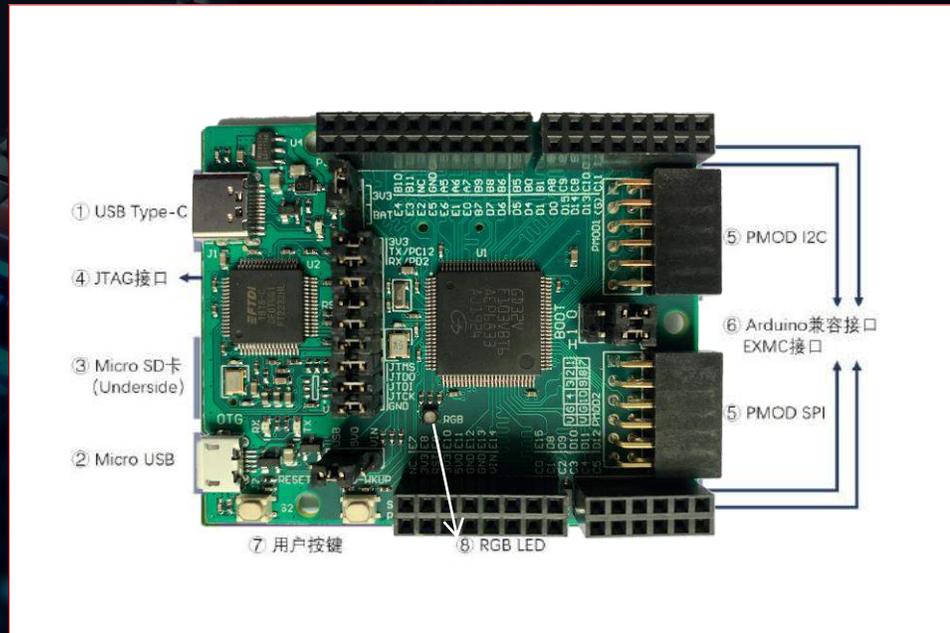
配套的硬件开发和评估环境

蜂鸟FPGA开发板和下载器



芯来科技定制了基于Xilinx XC7A100T FPGA的专用硬件开发板和专用JTAG调试器，以便于客户能够快速的移植处理器内核产品以及配套的MCU原型SoC。

RV-STAR芯片开发板



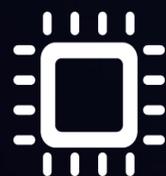
基于GD32VF103的RV-STAR芯片开发板可供选择以学习RISC-V嵌入式开发和产品评估。

完善的技术支持

技术支持服务

- 本土快速响应
- 多种沟通渠道
- 提供上门服务
- 完整的配套文档
- 完善的软硬件
- 线上社区支持

RISC-V MCU平台



芯片和开发板



快速上手文档



行业解决方案



FPGA开发套件



开源MCU设计



论坛



生态合作伙伴

工具链



安全



操作系统



IP和设计服务



应用和算法



公共服务平台



协会和联盟



服务：芯来IoT和MCU随“芯”包

芯来IoT和MCU随“芯”包，让传统IP授权模式逐渐转型为技术服务模式

1年，2年，3年
按需定制
阶梯价格

有效期内
任意处理器IP组合

有效期内
不限次数使用

及时响应服务

专享生态合作伙伴
特定Plus包

300系列

3 Stages
Single-issue

N300

对标
ARM Cortex M33
ARM Cortex M4
ARM Cortex M4F

200系列

2 Stages
Single-issue

N200

对标
ARM Cortex M0
ARM Cortex M0+
ARM Cortex M3
ARM Cortex M23

100系列

2 Stages
Single-issue

N100

对标
8位/16位内核
ARM Cortex M0
ARM Cortex M0+

随芯所动，包你满意

加入会员计划，有效期内自由
获取RISC-V处理器IP方案

扩展

DSP

浮点

服务：定制RISC-V MCU找芯来

除了RISC-V处理器IP授权，芯来科技联合生态合作伙伴为广大客户提供基于领域特定的**RISC-V处理器定制**和**MCU软硬件定制服务**



产品在多家客户实现量产

一年内从无到有，完成**多家知名客户**处理器内核在**量产芯片**的导入，成为本土RISC-V IP**头部企业**



为兆易创新的基于RISC-V的通用MCU产品提供内核定制，工具链和技术支持



芯来科技与芯原控股合作，将N200系列处理器内核IP应用于芯原的SoC子系统方案IP中。



芯来科技为晶晨半导体定制了超低功耗RISC-V处理器内核，对标ARM Cortex-M级别，应用于大型SoC芯片中的控制子系统，成功实现量产。



芯来科技为知存科技定制了超低功耗RISC-V处理器内核，对标ARM Cortex-M级别，应用于超低功耗高性能的存内运算AI芯片中。



由芯来科技设计，台湾晶心科技进行验证与认证，联合开发了超低功耗N22系列处理器内核IP，面向全世界进行发布与推广，国产处理器内核IP首次走向世界。

100+

目前已经有超过100家客户进行了评估和授权

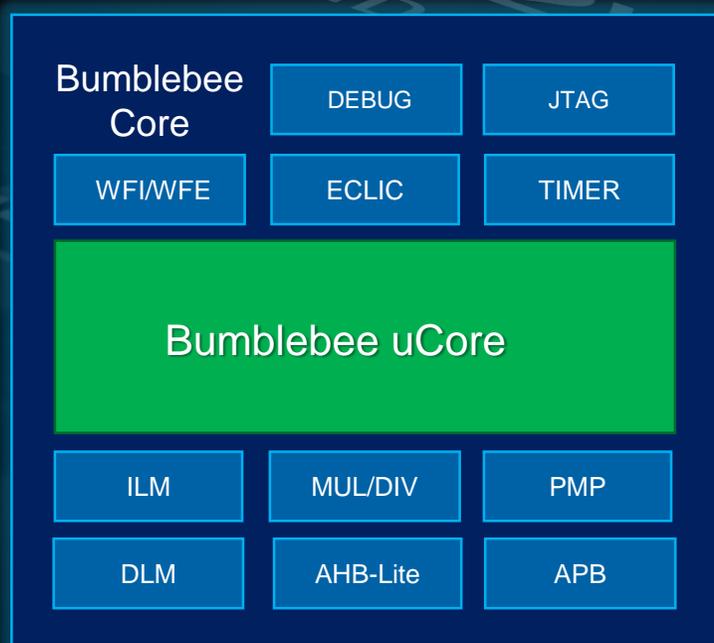
客户案例: 兆易创新GD32V系列RISC-V通用MCU

GD32VF103系列MCU是兆易创新(Gigadevice)携手芯来科技(Nuclei System Technology)合作研发并发布的全球一款基于RISC-V内核的量产通用MCU产品。该MCU中使用的Bumblebee内核是芯来科技针对GD32VF103定制, 授权以及提供工具链和技术支持的一款面向物联网及其它超低功耗场景应用自主联合开发的一款商用RISC-V处理器内核。



- 在同样108MHz下性能比M3提升15%*
- 最大动态电流(mA)比M3降低50%*
- 待机电流(uA)比M3降低25%*
- 丰富均衡的外设
- 最佳的集成度
- 完整的程序代码库和开发平台

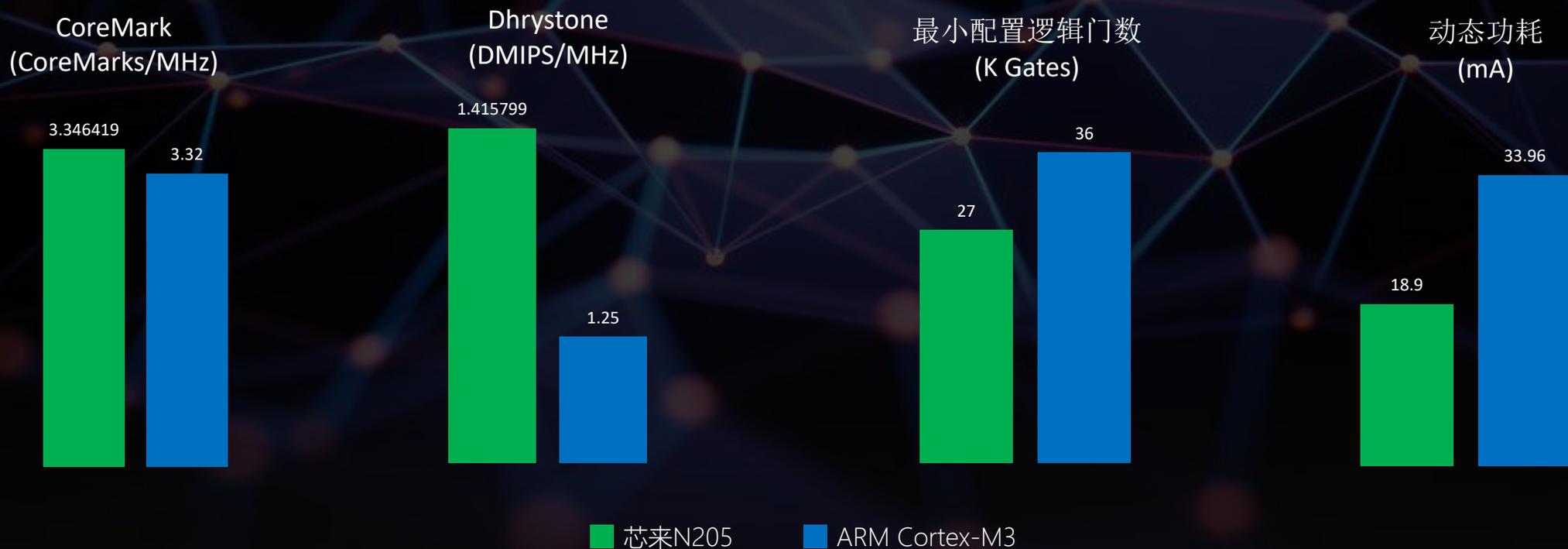
* 对比基于ARM Cortex-M3的GD32F103



- 32位RISC-V RV32IMAC指令集架构
- 机器模式和用户模式以及PMP
- 32位AHB-Lite和APB总线
- 32位本地指令存储ILM和本地数据存储DLM提升性能和实时性
- RISC-V调试标准, 标准JTAG调试接口, 4个硬件断点
- 支持WFI和WFE进行休眠模式, 两级休眠模式
- 增强内核中断控制器ECLIC, 支持16个中断级别和优先级, 以及中断向量, 嵌套和咬尾

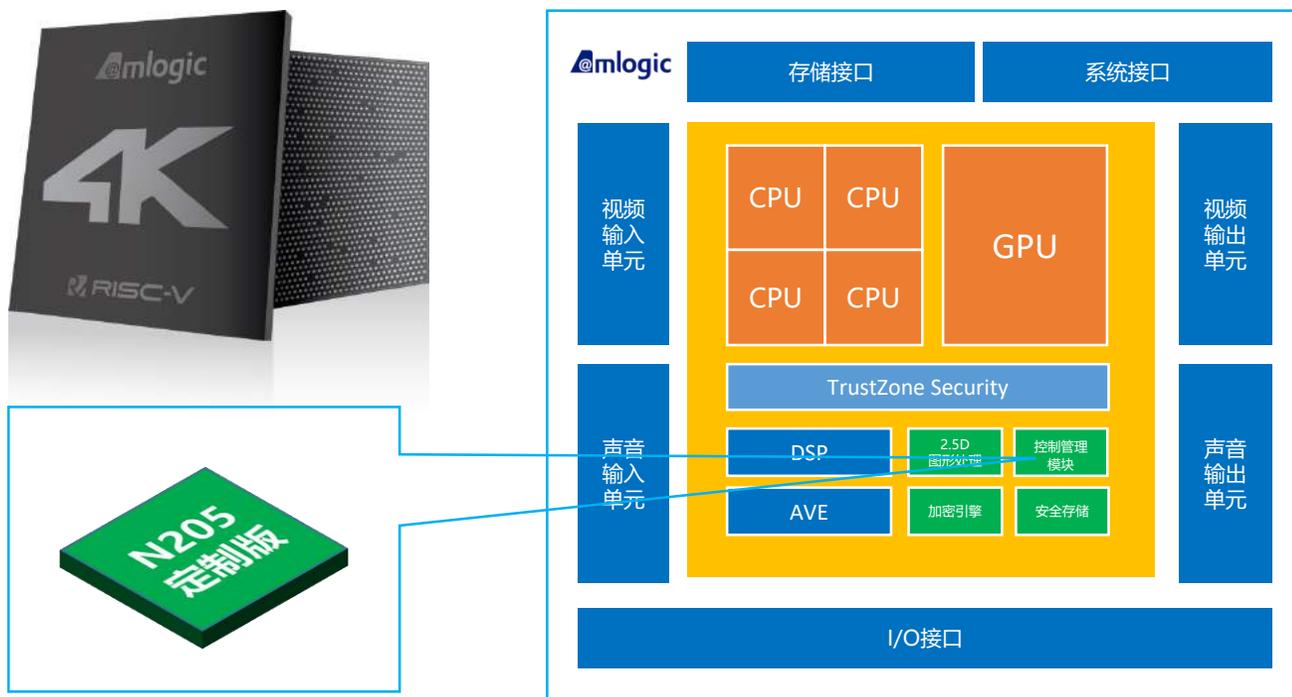
客户案例: 兆易创新GD32V系列RISC-V通用MCU

芯来200系列通过把低功耗设计思想贯穿整个处理器设计, 以及高效的取指单元以及中断处理机制, 例如N205达到M3级别的性能, M0+级别的功耗。



客户案例: 晶晨半导体新12nm智能电视SoC

晶晨半导体 (Amlogic) 是全球无晶圆半导体系统设计的领导者, 致力于多媒体智能终端SOC芯片的研发、设计与销售。芯来科技以N205为基础根据晶晨的12nm 4K SoC项目的要求定制了一颗满足其SoC安全可靠特性的处理器, 目前该芯片已经完成量产并会广泛应用于智能电视, 机顶盒, 智能音箱等。



客户案例: 台湾晶心科技N22超低功耗RISC-V处理器

晶心科技 (Andes Technology Corporation) 是国际知名处理器内核IP上市科技公司, 2005年创立于台湾新竹科技园区。芯来科技根据晶心科技提出的特性和流程基于芯来N200系列微架构为其定制了N22系列处理器。其性能和质量达到一流水平, 体现了芯来科技一流的处理器定制开发能力。



- 支持晶心科技RISC-V V5/V5e 延伸指令集
- 3.93CoreMark/MHz
- 可低至15K (最小可用配置)
- 频率高达800MHz (worst-case)
- 动态功耗可低至2.0 uW/MHz (TSMC 28nm HPC+);
- 可配置动态分支预测
- 可配置硬件乘除法器,
- 指令及数据本地存储器 (Local Memory)
- 指令缓存I-Cache
- 采用了最新的快速中断标准, 中断响应的实时性大幅提升;
- RISC-V调试标准, 具备更丰富和灵活的调试能力
- 同时提供两线调试模块, 可节省芯片引脚数以及成本;

总结

- **RISC-V极其适合领域MCU市场**
- **RISC-V已经具备相对成熟的生态**
- **专业RISC-V处理器IP找芯来**
- **领域RISC-V MCU定制找芯来**



期待与您的合作

